

TITLE OF THE INVENTION

IMAGE PICKUP DEVICE

CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the benefit of priority from the prior

- 5 Japanese Patent Applications No. 2000-69154, filed March 13, 2000 and No. 2000-215103, filed July 14, 2000, the entire contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

- 本発明は電荷結合素子（CCD）等の固体撮像素子を用いた撮像装置に関し、
10 より詳しくは特殊駆動によって画素加算を行う駆動方法、及び駆動装置に関する。

- 近年、CCD等の固体撮像素子を用いたデジタルカメラが種々開発されている。デジタルカメラにおいては、光電変換部において被写体像を光電変換することによって画素信号（電荷）が得られ、これをCCDからなる転送路により所定の順番で転送することにより素子から出力される。撮像素子からの画素信号の
15 読み出しには、通常は各画素毎の電荷を1ライン毎に個別に読み出すという駆動方式が用いられるが、これ以外にも他の各種特殊駆動が用いられている。

- 代表的な特殊駆動の一例としては、高速・高感度読み出しのための駆動方式である「 n 倍速垂直加算駆動（以下、単に n 加算駆動と称する）」が知られている。「 n 加算駆動」は毎回の水平（H）ブランキング期間毎に垂直転送路から水平転
20 送路に転送する画素数（転送クロック数）を通常の1ではなく2以上の整数値 n とすることで、 n 画素分（ n ライン分）の電荷を水平転送路に順次転送し、そして水平転送路で加算された n 画素分（ n ライン分）の電荷を1ライン分の1画素として読み出すものである。

- これにより、1画面のライン（水平ライン）数は $1/n$ となるので、結果的に
25 1画面の読み出し時間が $1/n$ となり、高速読み出しが可能となる。また、 n 画素分の電荷を1画素の電荷として読み出すので、電荷量が n 倍に増大し、これに対応して、感度増大効果が得られる。

しかし、高輝度被写体を撮像した場合には、「 n 加算駆動」により、水平方向に白筋状の擬似信号（ブルーミングやスミアのような現象：本明細書ではカブリ

ノイズ horizontal streak noise と称する)を生ずるという新たな画質劣化を伴うことがある。

この現象について以下に説明する。

複数画素の電荷が加算される水平転送路の飽和レベル(転送可能な最大電荷量)が無限にあれば問題は無いが、実際にはこれは有限である。この飽和レベルを $SatH$ と記す。 $SatH$ は通常の場合、非加算駆動である通常駆動の状態における光電変換部(1画素)の飽和レベルに対応するように設計されている。光電変換部の飽和レベルとは換言すればその電荷蓄積部のオーバーフローレベル OFL であって、これを超える光電荷が発生してもオーバーフローレインに排出されてしまい蓄積されない。オーバーフローレベル OFL は後述する基板バイアス電圧 V_{SUB} の設定値によって可変できる。オーバーフローレベル OFL は高くしすぎるとブルーミングが発生し易くなるため、通常はブルーミング特性上の許容限界の範囲でなるべく高くなるように設定される。

すなわち、水平転送路の飽和レベル $SatH$ は、次式に示すように、電荷蓄積部のオーバーフローレベル OFL の標準的設定に対して若干の設計余裕あるいは調整余裕を見込んだ程度の値となっているのが一般的であり、それ以上にはなっていない。

$$SatH = k \times OFL \quad (1)$$

ここで、 $k = 1.1 \sim 1.5$ 程度、但し理論的な下限値は1

「 n 加算駆動」を行なうと、画素信号は加算によって n 倍になり、飽和レベル $SatH$ を超える電荷が水平転送路に入力されてしまう。具体的には1画素当たりの電荷量がたとえ電荷蓄積部のオーバーフローレベル OFL 以下であっても $SatH / n$ を超えるような高輝度の撮像の場合、 n 加算により飽和レベル $SatH$ を超えてしまう電荷が水平転送路に入力される。ただし、水平転送路に十分な過剰電荷対策(例えばオーバーフローレインの設定など)がされていれば、このような過剰電荷が水平転送路に入力されても、単に飽和レベル $SatH$ で信号電荷がクリップされるだけで問題とはならない。しかし、現実のCCDにおいてはこの水平転送路の過剰電荷対策が不十分なものが存在しており、過剰電荷は水平転送路の隣接した領域に溢れ出てしまうため、水平ラインに沿ったカブリノ

イズを生じてしまう。

BRIEF SUMMARY OF THE INVENTION

Accordingly, the present invention is directed to method and apparatus that substantially obviates one or more of the problems due to limitations and disadvantages of the related art.

In accordance with the purpose of the invention, as embodied and broadly described, the invention is directed to an image pick-up device which prevents a horizontal streak noise from being occurred in the pixel addition.

Additional objects and advantages of the present invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the present invention.

The objects and advantages of the present invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out hereinafter.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate presently preferred embodiments of the present invention and, together with the general description given above and the detailed description of the preferred embodiments given below, serve to explain the principles of the present invention in which:

図 1 は本発明による固体撮像装置の第 1 実施例としてのデジタルカメラのブロック図、

図 2 A、図 2 B は通常駆動、加算駆動の概略を示す図、

図 3 は第 1 実施例の固体撮像素子の構造を示す断面図、

図 4 は第 1 実施例の基板バイアス電圧と電荷蓄積部のオーバーフローレベルとの特性を示す図、

図 5 は第 1 実施例による通常駆動モード、各加算駆動モード毎の基板バイアス電圧の一設定例を示す図、

図 6 は第 1 実施例による通常駆動モード、各加算駆動モード毎の基板バイアス電圧の他の設定例を示す図、

図 7 は第 1 実施例における固体撮像装置の駆動方法を説明するためのフローチャート、

図 8 は基板バイアス電圧を変化させた時の固体撮像装置の分光感度の変化を示す図、

5 図 9 は本発明による固体撮像装置の第 2 実施例としてのデジタルカメラのブロック図、

図 10 は第 2 実施例におけるホワイトバランス調整のためのプリセットデータの補正係数を示す図、

10 図 11 は第 2 実施例における固体撮像装置のホワイトバランス調整方法を説明するためのフローチャート、

図 12 は第 3 実施例の固体撮像装置における基板バイアス電圧を変化させた時の固体撮像装置の絶対輝度の変化を調整のための感度補正係数を示す図、

図 13 は第 3 実施例の概略作用を示すブロック図、

15 図 14 はホワイトバランスと絶対輝度の両方を一度に補正するための補正係数を示す図。

DETAILED DESCRIPTION OF THE INVENTION

以下図面を参照して本発明による撮像装置の実施例を説明する。ここでは、デジタルカメラとして実施した場合を例示して説明する。

第 1 実施例

20 図 1 は第 1 実施例の構成を示すブロック図である。レンズ系 101 を通った被写体光は、露出制御機構 103（レンズ系 101 の絞り）、高周波成分及び赤外成分をカットする光学フィルタ 104 を介して CCD 105 に入射（結像）される。CCD 105 はその結像面に複数の色成分が画素毎にモザイク状に配置されたカラーフィルタを有する。CCD 105 の出力は A/D 変換器等を含むプリプロセ
25 ス回路 107 を介して色信号生成処理、マトリックス変換処理、その他各種のデジタル処理を行うためのデジタルプロセス回路 108 に入力される。デジタルプロセス回路 108 で生成された色信号はビューファインダとしての LCD 表示部 111 で表示されるとともに、カードインターフェース 109 により記憶媒体としての不揮発性のメモリを内蔵するメモ리카ード 110 に記憶される。

レンズ系101はレンズドライバ116により制御されるレンズ駆動機構102によりズーミング動作、フォーカシング動作される。露出制御機能103は露出制御ドライバ117により制御される。露出制御ドライバ117はストロボ115も制御する。CCD105はCCDドライバ106により駆動され、光電変換（電荷蓄積）、垂直転送、水平転送のタイミングが制御される。

上記各部はシステムコントローラ（CPU）112により統括的に制御される。システムコントローラ112は通常駆動（非加算駆動）、特殊駆動（ n 加算駆動）を制御する駆動モード制御部201、基板バイアス（ V_{SUB} ）制御部（オーバーフローレベル設定部）202を含む。各種操作ボタンからなる操作スイッチ系113、操作状態及びモード状態等を表示するための操作表示系114、各種設定情報等を記憶するための不揮発性メモリ（EEPROM）118もシステムコントローラ112に接続される。

本実施例のデジタルカメラにおいては、システムコントローラ112が全ての制御を統括的に行っており、CCDドライバ106によりCCD105の駆動を制御して露光（電荷蓄積）及び信号の読み出しを行い、読出し信号をプリプロセス回路107を介してデジタルプロセス回路108に入力して、各種信号処理を施した後に、カードインターフェース109を介して着脱可能なメモリカード110に記録する。露光に際してストロボ115を使用する場合には、露出制御ドライバ117を制御してストロボ115に発光開始、停止の各制御信号を送ることによりストロボ115を発光させる。

CCD105の駆動制御は、CCDドライバ106から出力される各種駆動信号（電荷移送パルスTG、垂直駆動パルス、水平駆動パルス、さらには基板バイアス電圧 V_{SUB} 等）を用いて行われる。CCD105は、例えば縦型オーバーフローレイン構造を用いたインターライン型のものであり、マトリクス配置された電荷蓄積部と、水平および垂直にそれぞれ配置された電荷転送部（垂直電荷転送路、水平電荷転送路）とを備えている。

CCD105に電荷移送パルスTGが供給されると、各電荷蓄積部と垂直電荷転送路との間に設けられた転送ゲートが開き、各電荷蓄積部から垂直電荷転送路の対応するレジスタに電荷が移送される。基板バイアス電圧 V_{SUB} に重畳され

る電荷排出パルスと電荷移送パルスTGの出力タイミングの相対関係により、実質的な露光時間の制御が行われる。垂直電荷転送路の駆動（各レジスタ間の転送）は垂直駆動パルスによって行われる。基板バイアス電圧 V_{SUB} は電荷蓄積部のオーバーフローレベルOFLを規定するために用いられる。オーバーフロー

本実施例のデジタルカメラに於いては、以下に詳述する基板バイアス電圧 V_{SUB} の可変設定制御に関する動作を除けば、通常のデジタルカメラと同様の動作および制御が行われるものであって、そのような公知の部分については説明を省略する。

システムコントローラ112には、基板バイアス電圧 V_{SUB} の可変制御を行うための駆動モード制御部201および基板バイアス制御部202が設けられている。

駆動モード制御部201はCCD105からの画素電荷の読み出しを制御するためのものであり、通常駆動モードと、 n 加算駆動モードとを有している。前述したように、通常駆動モードはCCD105の各画素電荷を個別に読み出すための駆動制御モードであり、また n 加算駆動モードはCCD105の各画素電荷を垂直方向に所定数 n （ n は2以上の整数）だけ加算して読み出す駆動制御モードである。これら通常駆動モードおよび n 加算駆動モードの駆動制御の様子を図2A、図2Bに示す。

図2Aは通常駆動モードにおける駆動タイミングを示している。水平ブランキング期間（H-BLK）毎に垂直駆動パルス ϕV を用いた1回の垂直転送駆動が実行され、垂直転送路から水平転送路に1ライン分の電荷が転送される（各垂直転送路毎に1画素）。垂直転送路の転送には例えば周知の4相駆動方式などを用いることができる。

一方、図2Bは n 加算駆動モード（ここでは $n=4$ ）における駆動タイミングを示している。水平ブランキング期間（H-BLK）毎に垂直駆動パルス ϕV を用いた4回の転送駆動が実行され、垂直転送路から水平転送路に4ライン分の電荷が転送される（各垂直転送路の縦方向の4画素）。

水平転送路の駆動は n 加算駆動モードにおいても通常駆動モードと同様に実行

される。

これにより、 n 加算駆動モードでは、垂直方向について $1/n$ に圧縮された画像が高速に読み出されることになる。本実施例では、 n 加算駆動モードによる読み出し制御は、本撮影に先立って行われる例えば AF（自動合焦点）や AE（自動露出補正）処理などのために利用される。この他、LCD 111 への撮像画像の動画表示（電子ビューファインダ）にも利用することもできる。

n 加算駆動モードの発展形として、垂直転送に先立って行われる電荷蓄積部から垂直転送路への電荷移送に際して、垂直転送路から水平転送路への転送時に加算される n ラインのうちの特定の m ($\leq n$) ラインだけを選択的に移送する「 m/n 加算駆動」がある。この駆動は、 n 加算駆動は読み出し速度を高速化するとともに、感度も高感度化するものであり、高速化のみを望み高感度化は望まない場合に、感度を低下するために行われ、加算する画素を間引く。また、カラー CCD の場合、カラーフィルタは隣接画素が異なる色成分であることがあり、この場合は同じ色成分どうしを加算するために加算する画素を間引く必要があり、「 m/n 加算駆動」が行われる。

本発明で注目している電荷量は「 m/n 加算駆動」については実際に加算する画素数 m に影響されるので、 m/n 加算駆動を用いる場合には m に着目すれば良い。以下、本明細書では説明を簡単化するために、 $m=n$ の場合、すなわち上記 n 加算駆動のみを取り上げて論ずるものとする。従って、 m/n 加算駆動に対して本発明を適用する場合は、本説明の n を m と読み替えればよい。

基板バイアス制御部 202 は、基板バイアス電圧 V_{SUB} の制御により電荷蓄積部のオーバーフローレベル OFL を可変設定するためのものであり、通常駆動モード時と n 加算駆動モード時とで基板バイアス電圧 V_{SUB} を異なる値に設定する制御を行う。さらに、 n 加算駆動モードにおいては、その n の値に応じて、基板バイアス電圧 V_{SUB} の設定値が可変設定される。

図 3 は、本実施例の CCD 105 の詳細として、縦型オーバーフロードレイン構造のインターライン型 CCD の断面構造を示す。

N 型半導体基板 400 の表面領域に接合の浅い P ウェルの第 1 領域 401 と接合の深い P ウェルの第 2 領域 402 が形成されている。第 1 領域 401 の P ウェ

ルの表面領域にはフォトダイオード、いわゆる光電変換領域（電荷蓄積部）403が形成される。

第2領域402の表面領域には埋込みチャンネル404からなる垂直転送路が形成される。埋込みチャンネル404の主面には絶縁層406を介して転送電極405が配置されている。光電変換領域403と埋込みチャンネル404は高いp型不純物層からなるチャンネルストップ領域407によって分離されている。

光電変換領域403と埋込みチャンネル404の間にトランスファーゲート領域408が配置されている。光電変換領域403以外は金属層409で遮光されている。ブルーミング抑制のために、N型半導体基板400と、Pウェルの第1領域401及び第2領域402との接合に逆バイアス電圧である基板バイアス電圧 V_{SUB} を印加し、光電変換領域403直下のPウェルの第1領域401を完全に空乏化（空乏層化）する。

図4には、基板バイアス電圧 V_{SUB} に対する電荷蓄積部のオーバーフローレベルOFL（飽和信号量）の変化特性が示されている。図示のように、基板バイアス電圧 V_{SUB} の絶対値を大きくすることにより、オーバーフローレベルOFLを低下させることができる。

本実施例ではこの関係を利用して、「n加算駆動」を行ないn画素を加算しても、加算結果の電荷が水平転送路の飽和レベル $SatH$ を超えないように、1画素当たりの電荷量を $SatH/n$ となるようにオーバーフローレベルOFLを設定する。具体的には、図5に示すように、加算画素数に応じて基板バイアス電圧 V_{SUB} を制御する。図5は、非加算時（ $n=1$ の通常駆動モード時）におけるデフォルトの基板バイアス電圧 V_{SUB} （9V）に対応するオーバーフローレベルOFLr（740mV）を基準とし、n画素加算時における各画素の電荷量を $OFLr (=SatH)/n$ となるように基板バイアス電圧 V_{SUB} を求めた例を示す。 $n=2$ 、つまり2画素加算時には、電荷蓄積部のオーバーフローレベルOFLが非加算時のOFLrの $1/2$ （=370mV）となるような基板バイアス電圧 V_{SUB} （図4から12.2Vと分かる）に設定すれば、加算結果の電荷量が飽和レベル $SatH$ を超えることはない。同様に、 $n=4$ 、つまり4画素加算時には、電荷蓄積部のオーバーフローレベルOFLが非加算時のOFLrの

1 / 4 (= 185 mV) となるような基板バイアス電圧 V_{SUB} (図4から 14.5 V と分かる) に設定すれば、加算結果の電荷量が飽和レベル $SatH$ を超えることはない。

(1) 式に示したように、水平転送路の飽和レベル $SatH$ は少なくとも電荷蓄積部のオーバーフローレベル $OFLr$ の標準の設定値 $OFLr$ (740 mV) 以上であるのが一般的であるので、このように非加算時のオーバーフローレベル $OFLr$ (740 mV) を基準に、加算時の画素加算数のみで基板バイアス電圧 V_{SUB} の設定値を決定しても、水平カブリノイズの発生を確実に防止することができる。

上記は (1) 式の k を 1 と仮定した場合であるが、実際には CCD105 のオーバーフローレベル OFL と水平転送路の飽和レベル $SatH$ とはイコールではなく、飽和レベル $SatH$ はオーバーフローレベル OFL より大きい。そのため、

(1) 式の k ($\neq 1$ 、ここでは 1.4) を考慮すると、 n 画素加算時における基板バイアス電圧 V_{SUB} は図6のように図5よりも低く (オーバーフローレベル OFL を高く) できる。 n 画素加算時における基板バイアス電圧 V_{SUB} はオーバーフローレベル OFL が $OFLr \times k / n$ となるような値に決定される。例えば、2画素加算時にはオーバーフローレベル OFL が 518 (= 740 \times 1.4 / 2) mV となるような基板バイアス電圧 V_{SUB} (10.8 V) に設定すればよい。4画素加算時にはオーバーフローレベル OFL が 259 (= 740 \times 1.4 / 4) mV となるような基板バイアス電圧 V_{SUB} (13.5 V) に設定すればよい。

このように電荷蓄積部のオーバーフローレベル OFL と水平転送路の飽和レベル $SatH$ との関係 ((1) 式の係数 k) を考慮して基板バイアス電圧 V_{SUB} の設定値を決定することにより、電荷蓄積部のオーバーフローレベル OFL を図5の場合より高くすることができ、基板バイアス電圧 V_{SUB} は低くすることができる。基板バイアス電圧 V_{SUB} の可変幅を少なく抑えることは、電源の設計を容易にするとともに、基板バイアス電圧 V_{SUB} を大きく変化させることによって不具合が生じる、例えば実効感度の低下や、分光特性の変化等、ことを防止できる。

次に、図7のフローチャートを参照して、基板バイアス電圧 V_{SUB} の設定動作を伴う駆動方法について説明する。

まず、本撮影のためのCCD駆動に先立ち、CCD駆動モード（通常駆動モード、 n 加算駆動モード）の判定が行われる（ステップS11）。通常駆動モードの場合、つまり非加算時には、基板バイアス電圧 V_{SUB} は標準値（9V）に設定される（ステップS12）。一方、 n 加算駆動モードの場合には、図5、図6を参照して、 n の値に応じた基板バイアス電圧 V_{SUB} の値が求められ（ステップS13）、その値に基板バイアス電圧 V_{SUB} が設定される（ステップS14）。

このようにして基板バイアス電圧 V_{SUB} が設定された後、CCD105の露光および画素電荷読み出しのためのCCD駆動制御動作が実行される（ステップS15）。

このように、加算駆動時に、基板バイアス電圧 V_{SUB} を適宜設定することによって電荷蓄積部のオーバーフローレベルOFLを加算画素数に応じて減少させるので、垂直転送路への画素電荷の入力の際に画素加算が行われても、垂直転送路の飽和レベルSatH以上の電荷が垂直転送路へ供給されることがない。そのため、垂直転送路に十分な余剰電荷対策がなされていないCCDを使用する場合であっても、水平カブリノイズを招くことなく n 加算駆動による高速・高感度駆動を行うことが可能となる。

なお、基板バイアス電圧 V_{SUB} に対する電荷蓄積部のオーバーフローレベルOFLの変化特性はCCD毎にばらつく場合があるので、使用するCCDに関する変化特性（図4）を実測し、その実測値に基づいて n 加算駆動モードにおける基板バイアス電圧 V_{SUB} の設定値に関する調整情報を生成して、それをEEPROM118に記憶しておくようにしてもよい。この場合、調整情報としては、特性の変化に関する調整情報そのものを記憶しても良いし、あるいは基板バイアス電圧 V_{SUB} の設定値に調整情報を演算処理した結果を、図5、図6の設定値として記憶してもよい。具体的には、製造工程等における調整時に、必要な調整情報をEEPROM118に書き込むようにすることがさらに望ましい。

以上説明したように、本実施例の撮像装置は、固体撮像素子と、前記固体撮像

素子を駆動する駆動手段と、前記固体撮像素子の基板バイアス電圧を制御することにより、前記基板バイアス電圧に対応して定まる電荷蓄積部のオーバーフローレベルを可変設定するオーバーフローレベル設定手段と、前記駆動手段により画素電荷を出力信号として読み出す際に前記撮像素子の各画素電荷を個別に読み出す通常駆動モードおよび前記撮像素子の各画素電荷を垂直方向に所定数 n だけ加算して読み出す n 加算駆動モードで読み出すことが可能な読み出し制御手段とを具備し、前記オーバーフローレベル設定手段は、前記読み出し制御手段による読み出しが前記通常駆動モードである場合と前記 n 加算駆動モードである場合とで前記基板バイアス電圧を異なる設定値に制御するものである。

本撮像装置においては、電荷蓄積部のオーバーフローレベルを定める基板バイアス電圧を、通常駆動モード時と n 加算駆動モード時とで異なる値に制御する。したがって、例えば電荷蓄積部のオーバーフローレベルを n 加算駆動モード時には通常駆動モード時よりも低く設定しておくことにより、 n 加算駆動モード時においても水平転送路への過剰電荷の入力を抑制することが可能となり、擬似信号（水平カブリノイズ）の発生を防止することができる。

また、 n 加算駆動モードにおける n の値に応じて基板バイアス電圧を異なる設定値に制御するという構成を採用すると、例えば 2 画素加算、4 画素加算、8 画素加算、……それぞれに応じた最適なオーバーフローレベルの調整を行うことが可能となる。

また、オーバーフローレベル設定手段による基板バイアス電圧の設定値の制御は、電荷蓄積部のオーバーフローレベルと水平転送路の飽和レベルとの関係に基づいて行うことが好ましい。これにより、必要以上に電荷蓄積部のオーバーフローレベルを下げる事が無くなり、それによる不具合の発生を防止することができる。

さらに、基板バイアス電圧に対する電荷蓄積部のオーバーフローレベルの変化特性は固体撮像素子毎に異なることがあるので、使用する固体撮像素子に関する変化特性の実測値に基づいて予め生成された、 n 加算駆動モードにおける基板バイアス電圧に関する調整情報を記憶手段に記憶しておき、その調整情報に基づいて前記 n 加算駆動モードにおける前記基板バイアス電圧を制御することが好まし

い。これにより、より適切なオーバーフローレベルの制御を実現できる。

以上説明したように、本実施例によれば、電荷蓄積部のオーバーフローレベルを定める基板バイアス電圧 V_{SUB} の可変制御により、画素加算駆動に伴う擬似信号（水平カブリノイズ）の発生を防止できるようになり、画質劣化の無い画素

5 加算駆動を実現することが可能となる。

次に本発明の他の実施例を説明する。以下の実施例で第1実施例と対応する部分は同一参照数字を付して詳細な説明は省略する。

第2実施例

基板バイアス電圧 V_{SUB} を変えると、n加算モードにおいては非加算モード
10 ドに対して色バランスが変化してしまうことがある。電荷蓄積部の感度特性は基板バイアス電圧 V_{SUB} に対する依存性を持っており、しかもその依存性が長波長側でより大きいことから、分光特性も V_{SUB} 依存性を持つことになる。これはCCDのR、G、Bの相対感度が変化することを意味する。

図8（横軸の数値は波長：単位nm）は非加算モード（実線）とn加算モード
15 （破線）の分光感度特性を示す。分光特性はn加算モード時（基板バイアス電圧 V_{SUB} を上げた時）にはGを基準にしてBは増加、Rは減少する。

従来、基板バイアス電圧 V_{SUB} はカメラ製造工程の調整の際に微調整することはあっても、これ以降はほぼ固定的に使用しているケースが多く、この場合上述の如き分光特性の変化は無視できるか、または基礎的な調整時に吸収可能であ
20 った。

図9は、第2実施例のデジタルカメラのブロック図である。第2実施例は、第1実施例のシステムコントローラ112にホワイトバランス調整部205が追加されてなり、他は第1実施例と同じである。すなわち、システムコントローラ112はn加算駆動モード時には図5、図6に示すように加算画素数に応じて基板バイアス電圧 V_{SUB} を可変制御して電荷蓄積部のオーバーフローレベルを低下し、n画素駆動に伴う水平カブリノイズの発生を防止する。
25

ホワイトバランス調整部205は、オートホワイトバランスを含む通常のホワイトバランス機能の他、n加算駆動モード時（本実施例においては2画素加算、4画素加算）において設定される基板バイアス電圧 V_{SUB} の値に応じて色補正

を行う機能を有する。

ここで、通常ホワイトバランス機能について簡単に説明する。ホワイトバランス調整部205は、被写体の色温度情報やその他の情報（例えばユーザの設定や「ストロボ使用」情報も含む）により光源種類（例えば「デライト」「白熱ランプ」「蛍光灯」「ストロボ」等）を検出して、この検出結果に応じて予め所定のメモリにプリセット（例えば、EEPROM118に記憶）された所定のゲイン値をディジタルプロセス回路108において、R、Bの各信号に乗じることに
5 により、ホワイトバランスをとるようになっている。従って、プリセットされるR、Bのゲイン値の組（ホワイトバランスプリセットデータ）は、想定する光源種類の数だけ存在している。同じ白熱ランプでも色温度が異なる場合には必要に応じて異なる光源として取扱われることは言うまでも無い。そして、光源種類を自動検出する場合にはいわゆるオートホワイトバランスとして機能し、また、光源種類を例えば手動設定で「デライト」と指定する場合にはこれはいわゆるマニュアル（プリセット選択）ホワイトバランスとして機能するものである。なお、上
10 記ホワイトバランスプリセットデータの値は、本発明の主題と関係がないので、例示は省略する。

このように通常ホワイトバランス機能は、各光源種類に対して1通りのみのプリセットデータに基づいてホワイトバランス機能を実行している。そのため、図8に示したように、CCDの分光感度が変化すると、この変化によりR、G、
20 Bのバランスが崩れてしまう。各プリセットデータは、通常（非加算）駆動モードにおける信号出力に対して最適となるような値が設定されている。通常駆動モード時とn加算駆動モード時とで基板バイアス電圧 V_{SUB} を変化させる場合、非加算時（通常駆動モード時）に対してn画素加算時（n加算駆動モード時）では分光感度が変化するので、何等対策を施さないうまま非加算時のプリセットデータのままでホワイトバランス機能を実行すると、ホワイトバランスを調整すること
25 ができない。

そこで、本実施例のホワイトバランス調整部205は、非加算時（通常駆動モード時）に対して基板バイアス電圧 V_{SUB} を変化させるn画素加算時（n加算駆動モード時）において、可変した基板バイアス電圧 V_{SUB} に応じた色補正

(B補正、R補正)を行なう機能を有する。

図10に、非加算時(通常駆動モード時)、2画素加算時、4画素加算時(n加算駆動モード時)における基板バイアス電圧 V_{SUB} (対応するオーバーフローレベルOFL)、基板バイアス電圧 V_{SUB} に応じた分光特性の変化B:G:R、該変化を補償するための補正係数(R、Bの各ホワイトバランス調整プリセットデータに乘ずるべき係数)を示す。

分光特性の変化B:G:Rとは、分光感度の強度(図8の各曲線と横軸に囲まれた部分の面積に相当)を $G=100$ として示した相対感度である。ホワイトバランス調整前のR、G、Bの出力は一般には必ずしも等しく無いので、非加算状態でも $B:G:R=92:100:96$ となっている。

ホワイトバランス調整プリセットデータは、上記したとおり、この非加算状態を基準として(想定した光源に対してそれぞれ)最適化されているから、この非加算状態においては補正は必要無いので、B、Rの各補正係数はいずれも1である。これに対して、例えば2画素加算時はBの出力は非加算状態に比べて $100/92$ 倍になるから、これを補償するために乗ずるべきB補正係数は $92/100=0.92$ となり、Rの出力は $92/96$ 倍になるからこれを補償するために乗ずるべきR補正係数は $96/92=1.04$ となる。4画素加算時も同様である。

図11は、本実施例における基板バイアス電圧 V_{SUB} の設定に対して色補正を行なうルーチンを示したフローチャートである。このフローは第1実施例のCCD駆動(ステップS15)に後続して実施されるものである。

システムコントローラ112は、まず、被写体の色温度情報やその他の情報を読込む(ステップS21)。この情報により特定される光源種類に関する、所定メモリに予め記憶された非加算時のプリセットデータを読み出す(ステップS22)。ステップS23で、基板バイアス電圧 V_{SUB} が変化されたか否か、すなわち、n画素加算駆動モードか否かを判定する。可変されていない場合、すなわち、非加算駆動モードの場合は、ステップS25でホワイトバランス調整を、ステップS22で読込んだホワイトバランス調整プリセットデータに基づいて行う。具体的には、ディジタルプロセス回路108においてプリセットデータに基づい

た所定のゲイン値をR、Bの各信号に乘じる。

一方、基板バイアス電圧 V_{SUB} が可変されているn加算駆動モードの場合は、ステップS24で、ホワイトバランス調整プリセットデータに補正係数を乗算する。例えば、2画素加算時の場合は、B、R信号にそれぞれ0.92、1.04を乗算し、4画素加算時の場合は、B、R信号にそれぞれ0.89、1.08を乗算する。この後、ステップS25で補正後のホワイトバランス調整プリセットデータに基づいて、ホワイトバランス調整を実行する。

なお、非加算時の補正係数が1であるから、図11では非加算時には補正を行わない形で表現しているが、処理を共通化するためにはステップS23での分岐を省略し、ステップS24で非加算時は補正係数1を乗じて補正してもよい。

さらに、非加算時のプリセットデータと、加算時のR、Bの各補正係数を記憶しておいて、両者を乗ずる形で基板バイアス値に対応したホワイトバランスの補正を実現しているが、このような補正を施した後のデータを駆動モード毎のプリセットデータとして予め記憶しておき、必要に応じてこれらを選択するという方法によっても、本実施例は等しく実現可能であることは言うまでも無い。

このように、第2実施例のデジタルカメラによると、加算駆動時に、基板バイアス電圧 V_{SUB} を適宜設定することによって電荷蓄積部のオーバーフローレベルOFLを加算画素数に応じて減少させるので、n加算駆動により垂直転送路の飽和レベル S_{atH} 以上の電荷が垂直転送路へ供給されることがなく、垂直転送路に十分な余剰電荷対策がなされていないCCDを使用する場合であっても、水平カブリノイズを招くことなくn加算駆動による高速・高感度駆動を行うことが可能となるという第1実施例の効果を奏するとともに、基板バイアス電圧の変化により色バランスがずれることも補償できる。

第2実施例においても、分光感度はCCD毎にばらつく場合があるので、使用するCCDに関する変化特性（図10）を実測し、その実測値に基づいてB、R補正係数に関する調整情報を生成し、それをEEPROM118に記憶しておくようにしてもよい。この場合、調整情報としては、特性の変化に関する調整情報そのものを記憶しても良いし、あるいは補正係数に調整情報を演算処理した結果を記憶してもよい。

なお、第2本実施例においては、色補正としてホワイトバランスを調整することとしたが、これに限らず、任意の色を補正しても良い。分光感度の変化は色再現の変化を生じ得るので、たとえばマトリクス係数を変更することでこの色再現の変化を生じないように補正することもできる。この場合、ホワイトバランスず

5 れとは異なり全ての色に関して補正できない場合もあるが、少なくとも、例えば肌色と緑など着目した特定の色については補正可能である。

第3実施例

第2実施例は図10に示した基板バイアス電圧の変化に対する分光感度の変化特性に基づいて分光特性を補正している。図10は基板バイアス電圧が変化して

10 も、Gを基準($G=100$:不変)として、B、R信号の相対強度を分光感度として示したものである。そのため、加算駆動時においても、非加算駆動時に対して絶対感度(輝度感度)が不変である場合には、そのまま適用できる。しかし、実際には、加算駆動時には、非加算駆動時に対して分光感度特性のみならず、絶対感度特性の変化も伴う場合がある。以下、このような絶対感度の変化に対処する

15 第3実施例を説明する。装置構成を示すブロック図は図9と同じであるので図示省略する。

図12は非加算駆動時の絶対感度を100とした場合の各加算駆動時の絶対感度を示す。第2実施例では、ホワイトバランス(相対感度)を問題にしたので、駆動モードに関わらず、 $G=100$ としたが、本実施例では加算駆動時にはR、

20 G、B信号とも図12に示すように変化(低下)する。これは、図8のGのピークレベルの変動を意味する。そのため、絶対感度の補正係数は非加算駆動時を1とすると、2画素加算駆動時は1.05、4画素加算駆動時は1.14となる。この補正係数はR、B、G信号のそれぞれにゲインとして乗算される。この絶対感度補正はホワイトバランス調整の前、後のいずれに行ってもよい。

25 感度補正に関する原理図を図13に示す。CCD105からの画素信号(生信号)が増幅器302に供給され、図12に示すような感度補正係数が乗算され、絶対感度が補償される。増幅器302の出力が色分離回路304により、R、G、Bの3つの色信号に分離される。色信号R、G、Bはそれぞれ増幅器306-1、306-2、306-3により相対感度(ホワイトバランス)が調整される。実

際には、Gは基準であるので、補正しない。増幅器306-1、306-2、306-3の出力がマトリクス回路308によりY、R-Y、B-Y信号に変換される。

なお、相対感度補正（ホワイトバランス調整）と絶対感度補正（輝度補正）を別個に行うのは、回路が複雑になるとともに、誤差の累積と言う点でも好ましくないので、1つの処理として実施することが好ましい。その場合は、図14の中欄に示すようにR、G、Bそれぞれの感度（ピーク）が加算駆動時には変化するので、それを補償するためには図14の右欄に示すような補正係数をR、G、B信号のそれぞれに乗算すれば、絶対感度、相対感度の両方を同時に補正することができる。図14のB:G:Rは図10のB:G:Rに図12の絶対感度(%)を乗算したものである。図14の補正係数は図10の補正係数に図12の感度補正係数を乗算したものである。回路構成は図13の増幅器302を不要とし、増幅器306-1、306-2、306-3のそれぞれのゲインを図14に示す補正係数に応じて設定すれば良い。

以上説明したように第3実施例によれば、加算駆動時に、基板バイアス電圧 V_{SUB} を適宜設定することによって電荷蓄積部のオーバーフローレベルOFLを加算画素数に応じて減少させるので、n加算駆動により垂直転送路の飽和レベル S_{atH} 以上の電荷が垂直転送路へ供給されることがなく、垂直転送路に十分な余剰電荷対策がなされていないCCDを使用する場合であっても、水平カブリノイズを招くことなくn加算駆動による高速・高感度駆動を行うことが可能となるという第1実施例の効果を奏するとともに、基板バイアス電圧の変化により色バランス（分光感度の相対変化）や絶対輝度の変化を補償することができる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the present invention in its broader aspects is not limited to the specific details, representative devices, and illustrated examples shown and described herein.

Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents. 例えば、上述の実施例においては、画素電荷読み出しのためのCCD駆動モードとして通常駆動モードとn加算駆動モードの双方を有するディジタ

5

10